

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-040147

(43)Date of publication of application : 19.02.1993

(51)Int.Cl.

G01R 31/26
H01L 21/66

(21)Application number : 03-223422

(71)Applicant : ROHM CO LTD

(22)Date of filing : 07.08.1991

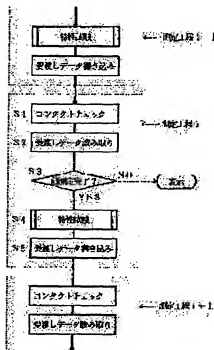
(72)Inventor : OKAJIMA SUSUMU

(54) TESTING METHOD OF SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To enable omission of measurement in a series of measurement processes of a semiconductor memory device to be detected easily and positively and at the same time complexity, etc., of control of the management process due to division of a lot into small portions to be avoided.

CONSTITUTION: In a former measurement process, after a characteristic test of the measurement process is completed, a pass data to a later measurement process is written into a semiconductor memory device which is to be tested. On the other hand, in the later measurement process, before executing the characteristic test of this measurement process, the pass data which is written in the former measurement process is read, measurement situation in the former measurement process is judged, and then omission in the former measurement process is checked. By using a rank classification data which shows a characteristic evaluation as the pass data, a series of measurements are executed without dividing the measurement lot into fine portions.



LEGAL STATUS

[Date of request for examination] 01.12.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2765771

[Date of registration] 03.04.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the test method of the semiconductor memory which carries out the characteristic test of a semiconductor memory in order at a series of measurement processes at a pre-measurement process After the characteristic test of the measurement process concerned is completed, the delivery data to a post-measurement process are written in in the semiconductor memory used as the candidate for an examination, at a post-measurement process The test method of the semiconductor memory characterized by the thing which was written in at the pre-measurement process in the semiconductor memory used as the candidate for an examination before carrying out the characteristic test of the measurement process concerned, and which deliver, reads data and judges the measurement situation in a pre-measurement process.

[Claim 2] The delivery data to the following measurement process written in at a pre-measurement process in the test method of the semiconductor memory indicated by the claim 1 are the test method of the semiconductor memory which is rank classification data in which the characterization of the semiconductor memory used as the candidate for an examination is shown.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the test method of semiconductor memories, such as EEPROM (electrical erasable and programmable ROM) and EPROM (erasable and programmable ROM).

[0002]

[Description of the Prior Art] Conventionally, in the semiconductor manufacturing process, various electrical properties are examined respectively independently for every process through the measurement process of a series [semiconductor memory / by which packaging was carried out] in order. for example, it is shown in drawing 4 — as — a group — a semiconductor memory is first supplied to the measurement process 1, and evaluation and sorting of the electrical property (for example, speed of response) in an elevated-temperature state are performed the order which excelled [process / measurement / 1 / this] in the electrical property — a group — a semiconductor memory is classified like Ranks A, B, and C The semiconductor memory of each classified group is supplied to the following measurement process 2, respectively. At this measurement process 2, evaluation and sorting of the electrical property in an ordinary temperature state are performed, a rank classification is carried out further and the semiconductor memory of each group is shipped.

[0003]

[Problem(s) to be Solved by the Invention] However, in the case of the conventional example which has such composition, there are the following troubles. As mentioned above, since a series of measurement processes are examining respectively independently, even if it omits the measurement process 1 accidentally and a measurement lot is thrown into the measurement process 2, at the measurement process 2, the examination of an electrical property is performed convenient. Consequently, the inconvenient situation where the semiconductor memory which should be shipped as a rank C since the electrical property of an elevated-temperature state is originally inferior is shipped as a rank B since the electrical property of an ordinary temperature state is usually level may also happen. Of course, although a measurement omission can be discovered to it when an operator checks the cut-form since the job slip is given to the semiconductor memory of each group which flows a measurement process, even if it imposes a duty of such check work upon each operator, it may miss.

[0004] moreover — the conventional test method — the measurement process 1 — a group — since the semiconductor memory is subdivided in the lot of two or more groups, the number of lots which flows a process increases and there is also a trouble that production control makes it complicated so much

[0005] Furthermore, naturally, the machinery (measurement handler) which handles a semiconductor memory at the measurement process 1 when [required] sorting out at the measurement process 1 also needs to be equipped with a sorting machine style, and the composition of equipment complicates it so much.

[0006] this invention is made in view of such a situation, and aims at offering the test method of the semiconductor memory which can detect the measurement omission of a semiconductor memory easily and certainly.

[0007] Furthermore, other purposes of this invention are to offer the test method of the semiconductor memory which can also simplify the composition of a measurement handler while being able to avoid complicated-ization of management of the measurement process by fragmentation of a lot.

[0008]

[Means for Solving the Problem] this invention takes the following composition, in order to attain such a purpose. In the test method of the semiconductor memory to which invention according to claim 1 carries out the characteristic test of a semiconductor memory in order at a series of measurement processes namely, at a pre-measurement process After the characteristic test of the measurement process concerned is completed, the delivery data to a post-measurement process are written in in the semiconductor memory used as the candidate for an examination. at a post-measurement process Before carrying out the characteristic test of the measurement process concerned, it is the thing which was written in at the pre-measurement process in the semiconductor memory used as the candidate for an examination and which delivers, reads data and judges the measurement situation in a pre-measurement process.

[0009] Moreover, invention according to claim 2 is taken as the rank classification data in which the characterization of the semiconductor memory which became a candidate for an examination about the delivery data to the following measurement process written in at a pre-measurement process is shown in the test method of the semiconductor memory indicated by the claim 1.

[0010]

[Function] The operation of this invention is as follows. According to invention according to claim 1, in a post-measurement process, the delivery data written in at the pre-measurement process in the semiconductor memory used as the candidate for an examination are read. If the pre-measurement process has fallen out, since it delivers to the semiconductor memory concerned and data are not written in, this detects the omission of a pre-measurement process automatically at a post-measurement process.

[0011] since the rank classification data in which the characterization of the semiconductor memory used as the candidate for an examination is shown as delivery data to a post-measurement process are written in according to invention according to claim 2 — a pre-measurement process — setting — a group — it is not necessary to subdivide a semiconductor memory and to send to a post-measurement process. That is, at a post-measurement process, the rank classification data written in the semiconductor memory used as the candidate for an examination are read, and the classification based on the characterization of a semiconductor memory is performed with reference to this in relation to the characteristic test result in the post-measurement process concerned.

[0012]

[Example] Hereafter, one example of this invention is explained with reference to a drawing. Drawing 1 is the outline block diagram having shown the connection relation of EEPROM and IC circuit tester for examining the electrical property used as the candidate for an examination, for example.

[0013] Here, EEPROM10 is serial data input type EEPROM, and contains a memory cell 11, a decoder 12, a sense amplifier 13, and gate 14 grade. The IC circuit tester 20 gives the signal of chip select signal CS, serial data DI, the serial clock SK, etc. to EEPROM10 for characterization. Chip select signal CS is a signal for making EEPROM10 into an active state as everyone knows. Serial data DI is written in at the operation mode code for specifying read-out/writing, the address data of a memory cell 11, and the time of writing, and contains data etc. The serial clock SK is a signal for a synchronization at the time of read-out/writing of data. The sign DO in drawing shows the data read from EEPROM10. In addition, even if it is parallel-data input type EEPROM, of course [although serial data input type EEPROM is taken and explained to an example], this invention is applied here.

[0014] Hereafter, the test method concerning this example is explained with reference to the flow chart shown in drawing 2. Drawing 2 shows a part of measurement processing in the typical measurement process *i*, and the measurement process *i-1* before and behind it and measurement processing of *i+1*. The measurement process *i-1* which is equivalent to the pre-measurement process said to this invention to the measurement process *i* writes the delivery data DT to the following measurement process *i* in the predetermined address in the memory cell 11 of EEPROM10 used as the candidate for an examination (the example of drawing 1 address AN), after performing a characteristic test peculiar to the measurement process. It is the address data AN for specifically writing a write-in code and delivery data in the serial data DI outputted from the IC circuit tester 20. It is carried out by setting up the predetermined delivery data DT.

[0015] Although especially the mode of the delivery data DT does not limit, the following data will be set up if it illustrates simply. What is necessary is just to set up "1", for example as delivery data, if having completed the specific examination at the measurement process *i* is only shown (however, each content of the memory cell 11 of an initial state sets to "0"). On the other hand, if it classifies into Ranks A, B, and C according to the superiority or inferiority of characterization as mentioned above, "1" and Rank B will deliver "2" and Rank C like "3", and Rank A will set up data.

[0016] if the characteristic test in the measurement process *i-1* is completed — a group — EEPROM10 is sent to the measurement process *i* equivalent to the back process said to this invention to the measurement process *i-1*. The following processings are performed at the measurement process *i*.

[0017] Step S1: The contact check for checking whether the sense terminal of a measurement handler has connected with each terminal of EEPROM10 which is the measuring object electrically correctly first is performed. Such a contact check is carried out in each measurement process.

[0018] The delivery data DT in step S2; next EEPROM10 are read. It is the address data AN with which a reading code and the delivery data DT are specifically written in the serial data DI outputted from the IC circuit tester 20 of the measurement process *i*. It is carried out by setting up. The delivery data DT read in the memory cell 11 are incorporated by the IC circuit tester 20 through a sense amplifier 13 and the gate 14.

[0019] Step S3: Judge [which incorporated to the IC circuit tester 20] whether it delivered and the characteristic test was performed at the pre-measurement process based on Data DT. That is, an operator is told by displaying that on a drop etc. noting that the pre-measurement process *i-1* has fallen out, when the delivery data DT do not correspond to the data defined beforehand.

[0020] Step S4: A check of the delivery data DT from the front measurement process *i-1* performs the peculiar characteristic test of the measurement process *i*.

[0021] Step S5: Set up the delivery data DT according to the result of the aforementioned characteristic test, and it is the address AN of a memory cell 11 like ****. It overwrites. It is possible to set up data in which the result of each characteristic test of the measurement process *i-1* and the measurement process *i* was made to reflect as delivery data DT written in at this measurement process *i*, for example.

[0022] the above — processing at the measurement process *i* — completing — a group — EEPROM10 is sent to the following measurement process *i+1*, and same processing is carried out. In addition, if the measurement process *i+1* is the last measurement process, the delivery data DT will not be written in and the delivery data in a memory cell 11 will be eliminated.

[0023] Drawing 3 is drawing having shown the flow within the process of the semiconductor memory at the time of applying this invention method to the conventional measurement process shown in drawing 4. since rank classification data can be written in as delivery data to the measurement process 2 in a semiconductor memory (an above-mentioned example EEPROM) at the measurement process 1 as mentioned above — a group — a semiconductor memory is passed from the measurement process 1 to the measurement process 2, without being subdivided moreover, the characteristic test result (rank classification data) obtained in the last measurement process 2 at the delivery data (rank classification data) and the measurement process 2 in a semiconductor memory — being based — a group — the semiconductor memory is classified into Ranks A, B, and C according to [so that clearly / compare drawing 3 with drawing 4 and] this example — a series of measurement — it is in process, and since that the measurement lot of a semiconductor memory is divided decreases, management of a process can understand a bird clapper easily

[0024] Moreover, since a measurement handler with two kinds of classification functions which can sort out an excellent article including Ranks A, B, and C and the other defective at the measurement process 1 can be used, it is possible to simplify the structure of the measurement handler in the measurement process 1 so much.

[0025] In addition, it is possible ***** to apply this invention also to EPROM and semiconductor memories, such as an IC card, although EEPROM was taken for the example as a semiconductor memory used as the measuring object in the above-mentioned example.

[0026] You may make it include the data in which the end of measurement like an above-mentioned example as delivery data to a post-measurement process is shown, and not only rank classification data but for example, the time of an assay date, a lot number, etc.

[0027]

[Effect of the Invention] According to invention according to claim 1, so that clearly from the above explanation at a pre-measurement process After completing a characteristic test, the delivery data to a post-measurement process are written in in the semiconductor memory used as the candidate for an examination, post-measurement ***** Since the delivery data in a semiconductor memory are read and the measurement situation in a pre-measurement process is judged before carrying out a characteristic test, even when a pre-measurement process falls out temporarily, this can be detected automatically. Therefore, an operator can check a measurement omission easily and certainly as compared with the conventional technique which was checking the cut-form.

[0028] moreover — since the rank classification data in which the characterization of the semiconductor memory used as the candidate for an examination is shown as delivery data are used according to invention according to claim 2 — a series of measurement — it is in process, that a measurement lot is subdivided decreases, and management of a process becomes easy Furthermore, since division of a measurement lot can be suppressed to the minimum, the composition of a measurement handler can also be simplified.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a block diagram for explaining one example of the test method of the semiconductor memory concerning this invention.

[Drawing 2] It is the flow chart which showed the procedure of the measurement process concerning an example.

[Drawing 3] It is drawing having shown the flow of the lot in a series of measurement processes which applied the method concerning an example.

[Drawing 4] It is explanatory drawing of the conventional method.

[Description of Notations]

- 10 — EEPROM
- 11 — Memory cell
- 12 — Decoder
- 13 — Sense amplifier
- 14 — Gate
- 20 — IC circuit tester
- DT — Delivery data

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-40147

(43) 公開日 平成5年(1993)2月19日

(51) Int.Cl.⁵
G 0 1 R 31/26
H 0 1 L 21/66

識別記号 庁内整理番号
8411-2G
Z 7013-4M

F I

技術表示箇所

審査請求 未請求 請求項の数2(全6頁)

(21) 出願番号 特願平3-223422

(22) 出願日 平成3年(1991)8月7日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院清崎町21番地

(72) 発明者 岡島 晋

京都市右京区西院清崎町21番地 ローム株式会社内

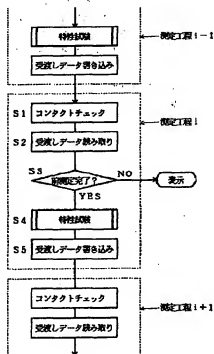
(74) 代理人 弁理士 杉谷 勉

(54) 【発明の名称】 半導体記憶装置の試験方法

(57) 【要約】

【目的】 半導体記憶装置の一連の測定工程における測定抜けを容易、確実に検出するとともに、ロットの細分化による測定工程の管理の煩雑化等を回避する。

【構成】 前測定工程では、その測定工程の特性試験が完了した後に、試験対象となった半導体記憶装置内に後測定工程への受渡しデータを書き込み、後測定工程では、当該測定工程の特性試験を実施する前に、前測定工程で書き込まれた受渡しデータを読み取って、前測定工程での測定状況を判断し、前測定工程の抜けをチェックする。受渡しデータとして特性評価を示すランク分類データを用いることにより、測定ロットを細分化することなく、一連の測定を実施する。



【特許請求の範囲】

【請求項1】 半導体記憶装置の特性試験を一連の測定工程で順に実施する半導体記憶装置の試験方法において、

前測定工程では、当該測定工程の特性試験が完了した後に、試験対象となった半導体記憶装置内に後測定工程への受渡しデータを書き込み、

後測定工程では、当該測定工程の特性試験を実施する前に、試験対象となった半導体記憶装置内に前測定工程で書き込まれた受渡しデータを読み取って、前測定工程での測定状況を判断すること、

を特徴とする半導体記憶装置の試験方法。

【請求項2】 請求項1に記載された半導体記憶装置の試験方法において、前測定工程で書き込まれる次測定工程への受渡しデータは、試験対象となった半導体記憶装置の特性評価を示すランク分類データである半導体記憶装置の試験方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、EEPROM (electric erasable and programmable ROM) や EPROM (erasable and programmable ROM) 等の半導体記憶装置の試験方法に関する。

【0002】

【従来の技術】 従来、半導体製造工程において、パッケージングされた半導体記憶装置は、一連の測定工程を順に経て種々の電気的特性が各工程ごとに各々独立して試験されている。例えば、図4に示すように、一群の半導体記憶装置は、まず測定工程1に投入されて、高温状態での電気的特性（例えば、応答速度）の評価・選別が行われる。この測定工程1では、電気的特性の優れた順に、一群の半導体記憶装置がランクA、B、Cのように区分けされる。区分けされた各群の半導体記憶装置は、次の測定工程2にそれぞれ投入される。この測定工程2では、常温状態での電気的特性の評価・選別が行われ、各群の半導体記憶装置はさらにランク分類されて出荷されていく。

【0003】

【発明が解決しようとする課題】 しかしながら、このような構成を有する従来例の場合には、次のような問題点がある。上述したように一連の測定工程は、各々独立して試験を行っているので、誤って測定工程1を抜かして測定工程2に測定ロットが投入されても、測定工程2では支障なく電気的特性の試験が行われる。その結果、本来、高温状態の電気的特性が劣るためにランクCとして出荷されるべき半導体記憶装置が、常温状態の電気的特性が普通レベルであるのでランクBとして出荷されるといような不都合な事態も起こり得る。もちろん、測定工程を流れる各群の半導体記憶装置には、作業伝票が付されているので、作業者がその伝票を確認することによ

って、測定抜けを発見できるものであるが、このような確認作業を各作業者に義務付けても見落とす可能性もある。

【0004】 また、従来の試験方法では、測定工程1で一群の半導体記憶装置を複数群のロットに細分化しているのので、工程を流れるロット数が増えて、それだけ工程管理が煩雑化するという問題点もある。

【0005】 さらに、測定工程1で選別する必要上、測定工程1で半導体記憶装置をハンドリングする機械装置（測定ハンドラー）も当然、選別機構を備える必要があり、それだけ装置の構成が複雑化する。

【0006】 本発明は、このような事情に鑑みてなされたものであって、半導体記憶装置の測定抜けを容易かつ確実に検出することができる半導体記憶装置の試験方法を提供することを目的としている。

【0007】 さらに、本発明の他の目的は、ロットの細分化による測定工程の管理の煩雑化を回避できるとともに、測定ハンドラーの構成も簡素化することができる半導体記憶装置の試験方法を提供することにある。

【0008】

【課題を解決するための手段】 本発明は、このような目的を達成するために、次のような構成をとる。すなわち、請求項1に記載の発明は、半導体記憶装置の特性試験を一連の測定工程で順に実施する半導体記憶装置の試験方法において、前測定工程では、当該測定工程の特性試験が完了した後に、試験対象となった半導体記憶装置内に後測定工程への受渡しデータを書き込み、後測定工程では、当該測定工程の特性試験を実施する前に、試験対象となる半導体記憶装置内に前測定工程で書き込まれた受渡しデータを読み取って、前測定工程での測定状況を判断するものである。

【0009】 また、請求項2に記載の発明は、請求項1に記載された半導体記憶装置の試験方法において、前測定工程で書き込まれる次測定工程への受渡しデータを、試験対象となった半導体記憶装置の特性評価を示すランク分類データとしたものである。

【0010】

【作用】 本発明の作用は次のとおりである。請求項1に記載の発明によれば、後測定工程において、試験対象となる半導体記憶装置内に前測定工程で書き込まれた受渡しデータを読み取る。前測定工程が抜けていれば、当該半導体記憶装置に受渡しデータが書き込まれていないので、これによって前測定工程の抜けを後測定工程で自動的に検出する。

【0011】 請求項2に記載の発明によれば、後測定工程への受渡しデータとして、試験対象となった半導体記憶装置の特性評価を示すランク分類データを書き込んでいるので、前測定工程において一群の半導体記憶装置を細分化して後測定工程に送る必要がない。すなわち、後測定工程では、試験対象となる半導体記憶装置内に書き

3
込まれたランク分類データを読み取って、これを参照し、当該後測定工程での特性試験結果と関連して、半導体記憶装置の特性評価に基づく分類を行う。

【0012】

【実施例】以下、図面を参照して本発明の一実施例を説明する。図1は、試験対象となる例えばEEPROMと、その電気的特性を試験するためのICテストとの接続関係を示した概略ブロック図である。

【0013】ここで、EEPROM10は、シリアルデータ入カタイプのEEPROMで、メモリセル11、デコード12、センスアンプ13、ゲート14等を含む。ICテスト20は、特性評価のためにEEPROM10に対して、チップセレクト信号CS、シリアルデータDI、シリアルクロックSK等の信号を与える。周知のようにチップセレクト信号CSは、EEPROM10を能動状態にするための信号である。シリアルデータDIは、読み出し/書き込みを指定するためのオペレーションモードコードと、メモリセル11のアドレスデータと、書き込み時には書き込みデータ等を含む。シリアルクロックSKは、データの読み出し/書き込み時の同期用信号である。図中の符号DOは、EEPROM10から読み出されたデータを示す。なお、ここでは、シリアルデータ入カタイプのEEPROMを例に挙げて説明するが、パラレルデータ入カタイプのEEPROMであっても、本発明が適用されることはもちろんである。

【0014】以下、図2に示したフローチャートを参照して、本実施例に係る試験方法を説明する。図2では、代表的な測定工程1における測定処理と、その前後の測定工程1-1、1+1の測定処理の一部を示している。測定工程1に対して、本発明という前測定工程に相当する測定工程1-1は、その測定工程固有の特性試験を行った後、試験対象となったEEPROM10のメモリセル11内の所定のアドレス（図1の例ではアドレスA）に次測定工程1への受渡しデータDを書き込む。具体的には、ICテスト20から出力されるシリアルデータDIに、書き込みコードと、受渡しデータを書き込むためのアドレスデータAと、所定の受渡しデータDを設定することによって行われる。

【0015】受渡しデータDの態様は特に限定しないが、簡単に例示すれば次のようなデータが設定される。測定工程1での特性試験を完了したことを示すのであれば、例えば受渡しデータとして「1」を設定すればよい（ただし、初期状態のメモリセル11の各内容が「0」とする）。一方、上述したように特性評価の優先に応じて、ランクA、B、Cに分類するのであれば、ランクAは「1」、ランクBは「2」、ランクCは「3」というように受渡しデータを設定する。

【0016】測定工程1-1における特性試験が完了すると、一群のEEPROM10は、測定工程1-1に対して、本発明という後工程に相当する測定工程1に送ら

れる。測定工程1では、次のような処理が行われる。

【0017】ステップS1：まず、測定ハンドラーの測定端子が、測定対象であるEEPROM10の各端子に正しく電気的に接続しているかどうかを確認するためのコンタクトチェックが行われる。このようなコンタクトチェックは各測定工程において実施される。

【0018】ステップS2：次に、EEPROM10内の受渡しデータDを読み取る。具体的には、測定工程1のICテスト20から出力されるシリアルデータDIに、読み取りコードと、受渡しデータDが書き込まれているアドレスデータAを設定することによって行われる。メモリセル11から読み取られた受渡しデータDは、センスアンプ13およびゲート14を介してICテスト20に取り込まれる。

【0019】ステップS3：ICテスト20に取り込んだ受渡しデータDに基づき、前測定工程で特性試験が行われたかどうかを判断する。すなわち、受渡しデータDが、予め定められたデータに該当しない場合は、前測定工程1-1が抜けているとして、その旨を表示装置に表示すること等によって作業者に知らせる。

【0020】ステップS4：前測定工程1-1からの受渡しデータDが確認されると、測定工程1の固有の特性試験を行う。

【0021】ステップS5：前記特性試験の結果に応じた受渡しデータDを設定して、上述と同様にメモリセル11のアドレスAに上書きする。この測定工程1で書き込まれる受渡しデータDとしては、例えば、測定工程1-1と測定工程1の各特性試験の結果を反映させたようなデータを設定することが考えられる。

【0022】以上で、測定工程1での処理が完了し、一群のEEPROM10は、次測定工程1+1に送られ、同様の処理が実施される。なお、測定工程1+1が最終の測定工程であれば、受渡しデータDの書き込みを行わず、メモリセル11内の受渡しデータを消去する。

【0023】図3は、図4に示した従来の測定工程に本発明方法を適用した場合の半導体記憶装置の工程内の流れを示した図である。上述したように、測定工程1では、半導体記憶装置（上述の例ではEEPROM）内に、測定工程2への受渡しデータとして、ランク分類データを書き込むことができるので、一群の半導体記憶装置は細分化されることがなく測定工程1から測定工程2へ渡される。また、最終の測定工程2では、半導体記憶装置内の受渡しデータ（ランク分類データ）と、測定工程2で得られた特性試験結果（ランク分類データ）とに基づいて、一群の半導体記憶装置をランクA、B、Cに分類している。図3と図4を比較して明らかなように、本実施例によれば、一連の測定工程で、半導体記憶装置の測定ロットが分割されることが少なくなるので、工程の管理が容易になることが理解できる。

【0024】また、測定工程1では、ランクA、B、C

を含む良品と、それ以外の不良品とを選別できる2種類の分類機能をもった測定ハンドラーを使用することができるので、それだけ測定工程1における測定ハンドラーの構造を簡素化することが可能である。

【0025】なお、上述の実施例では、測定対象となる半導体記憶装置として、EEPROMを例に採ったが、本発明は、EPROMや、ICカード等の半導体記憶装置にも適用することが可能である。

【0026】後測定工程への受渡しデータとしては、上述の実施例のような測定完了を示すデータや、ランク分類データに限らず、例えば、測定日時やロット番号等を含めるようにしてもよい。

【0027】

【発明の効果】以上の説明から明らかなように、請求項1に記載の発明によれば、前測定工程では、特性試験を完了した後に、試験対象となった半導体記憶装置内に後測定工程への受渡しデータを書き込み、後測定工程では、特性試験を実施する前に、半導体記憶装置内の受渡しデータを読み取って、前測定工程での測定状況を判断しているので、仮に前測定工程が抜けた場合でも、自動的にこれを検出することができる。したがって、作業者が伝票を確認していた従来手法に比較して、測定抜けを容易かつ確実にチェックすることができる。

【0028】また、請求項2に記載の発明によれば、受渡しデータとして、試験対象となった半導体記憶装置の特性評価を示すランク分類データを用いているので、一連の測定工程中で測定ロットが細分化されることが少なくなり、工程の管理が容易になる。さらに、測定ロットの分割を最小限に抑えられるので、測定ハンドラーの構成も簡素化することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体記憶装置の試験方法の一実施例を説明するためのブロック図である。

【図2】実施例に係る測定工程の処理手順を示したフローチャートである。

【図3】実施例に係る方法を適用した一連の測定工程中のロットの流れを示した図である。

【図4】従来方法の説明図である。

【符号の説明】

10…EEPROM

11…メモリセル

12…デコーダ

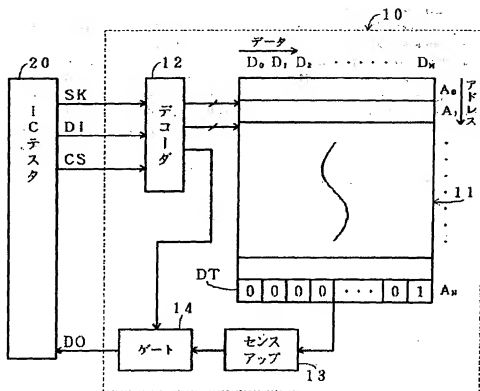
13…センスアンプ

14…ゲート

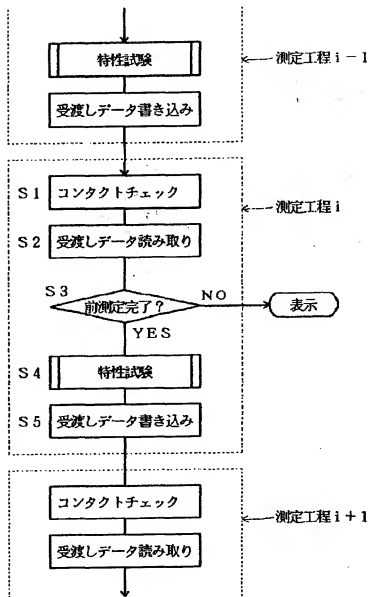
20…ICテスト

DT…受渡しデータ

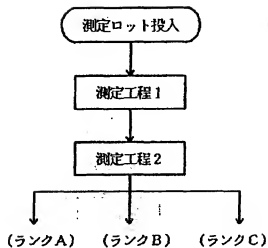
【図1】



【図2】



【図3】



【図4】

